

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-022494

(43)Date of publication of application : 23.01.1998

(51)Int.Cl.

H01L 29/43  
H01L 21/28  
H01L 21/285  
// H01L 33/00

(21)Application number : 08-192818

(71)Applicant : SONY CORP

(22)Date of filing : 03.07.1996

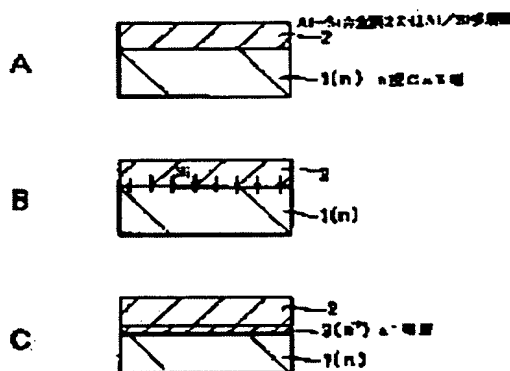
(72)Inventor : MIYAJIMA TAKAO  
TOMIOKA SATOSHI

## (54) OHMIC ELECTRODE AND FORMING METHOD THEREFOR

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide an ohmic electrode and its forming method which has a low contact resistivity with an n-type nitrogen III-V compound semiconductor.

SOLUTION: When an ohmic electrode is formed on an n-type GaN layer 1 having a low carrier density, after forming an Al-Si alloy film or an Al/Si multi-layer film 2 on the n-type GaN layer 1, n<sup>+</sup>-type layer 3 having a high carrier density is formed by diffusing Si in the Al-Si alloy film or the Al/Si multi-layer film 2 into the n-type GaN layer 1 by means of thermal processing at temperature of 500 to 600° C. An Au-Si alloy film or an Au/Si multi-layer film may be used instead of the Al-Si alloy film or the Al/Si multi-layer film 2. When the ohmic electrode is formed on an n-type GaN layer having a high carrier density, after forming a Ti film, an Al film, a Pt film and an Au film in order on the n-type GaN layer, thermal processing at temperature of 700 to 1,100° C is performed.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-22494

(43)公開日 平成10年(1998)1月23日

| (51)Int.Cl. <sup>6</sup> | 識別記号  | 庁内整理番号 | F I           | 技術表示箇所  |
|--------------------------|-------|--------|---------------|---------|
| H 0 1 L 29/43            |       |        | H 0 1 L 29/46 | H       |
| 21/28                    | 3 0 1 |        | 21/28         | 3 0 1 M |
| 21/285                   | 3 0 1 |        | 21/285        | 3 0 1 M |
| // H 0 1 L 33/00         |       |        | 33/00         | C       |

審査請求 未請求 請求項の数17 F D (全 9 頁)

(21)出願番号 特願平8-192818

(22)出願日 平成8年(1996)7月3日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 宮嶋 孝夫

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 富岡 聡

東京都品川区北品川6丁目7番35号 ソニー株式会社内

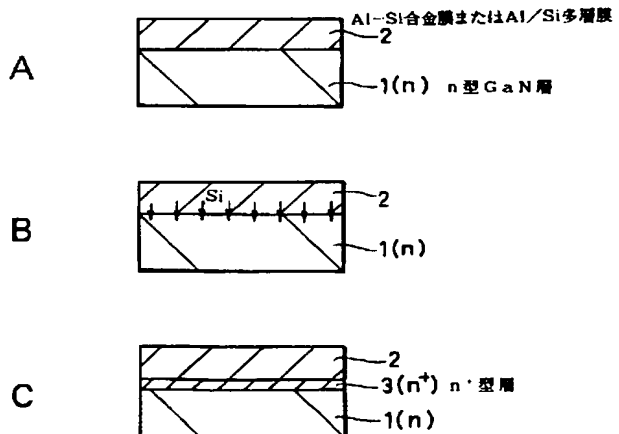
(74)代理人 弁理士 杉浦 正知

(54)【発明の名称】 オーミック電極およびその形成方法

(57)【要約】

【課題】 n型窒化物系III-V族化合物半導体に対する低接触比抵抗のオーミック電極およびその形成方法を提供する。

【解決手段】 低キャリア濃度のn型GaN層1上にオーミック電極を形成する場合には、このn型GaN層1上にAl-Si合金膜またはAl/Si多層膜2を形成した後、500～660℃の温度で熱処理を行うことによりAl-Si合金膜またはAl/Si多層膜2中のSiをn型GaN層1中に拡散させ、高キャリア濃度のn<sup>+</sup>型層3を形成する。Al-Si合金膜またはAl/Si多層膜2の代わりにAu-Si合金膜またはAu/Si多層膜を用いてもよい。高キャリア濃度のn型GaN層上にオーミック電極を形成する場合には、このn型GaN層上にTi膜、Al膜、Pt膜およびAu膜を順次形成した後、700～1100℃の温度で熱処理を行う。



## 【特許請求の範囲】

【請求項1】 n型窒化物系III-V族化合物半導体に対するオーミック電極において、

上記n型窒化物系III-V族化合物半導体上のSiを含む導電膜を有し、

上記n型窒化物系III-V族化合物半導体と上記Siを含む導電膜との界面の近傍における上記n型窒化物系III-V族化合物半導体中に上記Siを含む導電膜からSiが拡散されていることを特徴とするオーミック電極。

【請求項2】 上記Siを含む導電膜はAl-Si合金膜またはAl膜とSi膜との多層膜であることを特徴とする請求項1記載のオーミック電極。

【請求項3】 上記Siを含む導電膜はAu-Si合金膜またはAu膜とSi膜との多層膜であることを特徴とする請求項1記載のオーミック電極。

【請求項4】 n型窒化物系III-V族化合物半導体に対するオーミック電極の形成方法において、

上記n型窒化物系III-V族化合物半導体上にSiを含む導電膜を形成する工程と、

熱処理を行うことにより上記Siを含む導電膜中のSiを上記n型窒化物系III-V族化合物半導体中に拡散させる工程とを有することを特徴とするオーミック電極の形成方法。

【請求項5】 上記Siを含む導電膜はAl-Si合金膜またはAl膜とSi膜との多層膜であることを特徴とする請求項4記載のオーミック電極の形成方法。

【請求項6】 500～660℃の温度で上記熱処理を行うようにしたことを特徴とする請求項5記載のオーミック電極の形成方法。

【請求項7】 上記Al-Si合金膜またはAl膜とSi膜との多層膜上にさらにAl膜を形成するようにしたことを特徴とする請求項5記載のオーミック電極の形成方法。

【請求項8】 上記Al-Si合金膜またはAl膜とSi膜との多層膜上にさらにAl膜、Pt膜およびAu膜を順次形成するようにしたことを特徴とする請求項5記載のオーミック電極の形成方法。

【請求項9】 上記Al-Si合金膜またはAl膜とSi膜との多層膜上にさらにPt膜およびAu膜を順次形成するようにしたことを特徴とする請求項5記載のオーミック電極の形成方法。

【請求項10】 上記n型窒化物系III-V族化合物半導体上にTi膜を形成した後、上記Ti膜上に上記Al-Si合金膜またはAl膜とSi膜との多層膜を形成するようにしたことを特徴とする請求項5記載のオーミック電極の形成方法。

【請求項11】 上記Siを含む導電膜はAu-Si合金膜またはAu膜とSi膜との多層膜であることを特徴とする請求項4記載のオーミック電極の形成方法。

【請求項12】 300～1064℃の温度で上記熱処理を行うようにしたことを特徴とする請求項11記載のオーミック電極の形成方法。

【請求項13】 上記Au-Si合金膜またはAu膜とSi膜との多層膜上にさらにAu膜を形成するようにしたことを特徴とする請求項11記載のオーミック電極の形成方法。

【請求項14】 上記n型窒化物系III-V族化合物半導体上にTi膜を形成した後、上記Ti膜上に上記Au-Si合金膜またはAu膜とSi膜との多層膜を形成するようにしたことを特徴とする請求項11記載のオーミック電極の形成方法。

【請求項15】 n型窒化物系III-V族化合物半導体に対するオーミック電極において、

上記n型窒化物系III-V族化合物半導体上に順次Ti膜、Al膜、Pt膜およびAu膜を有することを特徴とするオーミック電極。

【請求項16】 n型窒化物系III-V族化合物半導体に対するオーミック電極の形成方法において、

上記n型窒化物系III-V族化合物半導体上に順次Ti膜、Al膜、Pt膜およびAu膜を形成する工程と、700～1100℃の温度で熱処理を行う工程とを有することを特徴とするオーミック電極の形成方法。

【請求項17】 700～1000℃の温度で上記熱処理を行うようにしたことを特徴とする請求項16記載のオーミック電極の形成方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、オーミック電極およびその形成方法に関し、特に、n型GaNなどのn型窒化物系III-V族化合物半導体に対するオーミック電極に適用して好適なものである。

【0002】

【従来の技術】 GaN、AlGaNなどの窒化物（ナイトライド）系III-V族化合物半導体は青色発光素子の材料として有力視され、すでにこの材料を用いて発光ダイオード（LED）が実用化されている。さらに、現在は、この材料を用いた半導体レーザの実現を目的として研究開発が活発に進められており、最近では室温でのパルスレーザ発振が報告されている（例えば、日経エレクトロニクス、1996年1月15日号、第13頁）。

【0003】 このような窒化物系III-V族化合物半導体を用いたLEDや半導体レーザを製造する上でオーミック電極形成技術は大変重要な技術である。特に、大量の電流を注入する半導体レーザの場合には、少しでも低い接触抵抗値を有する電極材料が必要とされる。

【0004】 n型の窒化物系III-V族化合物半導体、特にn型GaNに対するオーミック電極材料としてこれまでに報告されているものとしては、Ti/Alが最も低い接触比抵抗値 $8 \times 10^{-6} \Omega \text{cm}^2$ （900℃、

## 3

30秒の熱処理後の値)を示している( Appl. Phys. Lett. 64(1994)1003)。この場合、 $n$ 型Ga $N$ のキャリア濃度(電子濃度)は $10^{17} \text{ cm}^{-3}$ 程度とされている。

## 【0005】

【発明が解決しようとする課題】しかしながら、本発明者の知見によれば、上述のTi/AIは、キャリア濃度が $10^{17} \text{ cm}^{-3}$ 以下の低キャリア濃度の $n$ 型Ga $N$ に対する電極材料として用いた場合には、接触抵抗が高く、良好なオーミック接触が得られないという問題があった。

【0006】また、電極材料としてTi/AIを用いた場合、低い接触比抵抗値を得るためには900℃という高温の熱処理が必要であることから、この熱処理後にはAI膜が部分的にしか残らず、電極表面が不均一になり、接触比抵抗が不均一になるという問題があった。ここで、熱処理後にAI膜が部分的にしか残らないのは、AIの融点が約660℃と熱処理温度より低いいため、この熱処理時にAI膜が液状化し、その表面張力によりAIが部分的に凝集してしまうからであると考えられる。

【0007】したがって、この発明の目的は、 $n$ 型Ga $N$ などの $n$ 型窒化物系III-V族化合物半導体のキャリア濃度が低い場合でも十分に低い接触比抵抗を得ることができるオーミック電極およびその形成方法を提供することにある。

【0008】この発明の他の目的は、 $n$ 型Ga $N$ などの $n$ 型窒化物系III-V族化合物半導体のキャリア濃度が十分に高い場合に、十分に低い接触比抵抗を得ることができ、かつ電極表面および接触比抵抗の均一性が良好なオーミック電極およびその形成方法を提供することにある。

## 【0009】

【課題を解決するための手段】上記目的を達成するために、この発明の第1の発明は、 $n$ 型窒化物系III-V族化合物半導体に対するオーミック電極において、 $n$ 型窒化物系III-V族化合物半導体上のSiを含む導電膜を有し、 $n$ 型窒化物系III-V族化合物半導体とSiを含む導電膜との界面の近傍における $n$ 型窒化物系III-V族化合物半導体中にSiを含む導電膜からSiが拡散されていることを特徴とするものである。

【0010】この発明の第2の発明は、 $n$ 型窒化物系III-V族化合物半導体に対するオーミック電極の形成方法において、 $n$ 型窒化物系III-V族化合物半導体上にSiを含む導電膜を形成する工程と、熱処理を行うことによりSiを含む導電膜中のSiを $n$ 型窒化物系III-V族化合物半導体中に拡散させる工程とを有することを特徴とするものである。

【0011】この発明の第1の発明および第2の発明において、Siを含む導電膜は、例えば、Al-Si合金膜またはAl膜とSi膜との多層膜、あるいは、Au-Si合金膜またはAu膜とSi膜との多層膜である。

## 4

【0012】この発明の第2の発明において、Siを含む導電膜がAl-Si合金膜またはAl膜とSi膜との多層膜である場合、好適には、それらのAlとSiとの比率は、Al-Si系の共晶点に対応する比率、具体的には、Al組成は88~87重量%、Si組成は12~13重量%に選ばれる。この共晶組成のAl-Si合金膜またはAl膜とSi膜との多層膜は、Alの融点660℃より低い577℃で融け始めるので、熱処理温度の低減を図ることができる。同様に、Siを含む導電膜がAu-Si合金膜またはAu膜とSi膜との多層膜である場合、好適には、それらのAuとSiとの比率は、Au-Si系の共晶点に対応する比率、具体的には、Au組成は約97重量%、Si組成は約3重量%に選ばれる。この共晶組成のAu-Si合金膜またはAu膜とSi膜との多層膜は、Auの融点1064℃より低い363℃で融け始めるので、熱処理温度の低減を図ることができる。

【0013】この発明の第2の発明において、Siを含む導電膜がAl-Si合金膜またはAl膜とSi膜との多層膜である場合には、電極材料の凝集を防止しつつSiを $n$ 型窒化物系III-V族化合物半導体中に拡散させるために、好適には、500~660℃の温度で熱処理を行う。同様に、Siを含む導電膜がAu-Si合金膜またはAu膜とSi膜との多層膜である場合には、好適には、300~1064℃の温度で熱処理を行う。

【0014】この発明の第2の発明において、Siを含む導電膜がAl-Si合金膜またはAl膜とSi膜との多層膜である場合、熱処理によりそれらが融けたときに表面張力により凝集が起きるのを防止するために、好適には、そのAl-Si合金膜またはAl膜とSi膜との多層膜上にさらにAl膜を形成する。より好適には、このAl膜上にさらにPt膜およびAu膜を順次形成する。このとき、最上層のAu膜によりAu線によるワイヤボンディングが容易となり、その下のPt膜によりこのAu膜を用いたときにこのAu膜のAuが下層に拡散して不良を生ずるのを防止することができる。また、このようにPt膜およびAu膜を形成する場合には、Pt膜により上述の凝集を防止することができるため、Al膜は、省略することも可能である。

【0015】この発明の第2の発明において、Siを含む導電膜がAu-Si合金膜またはAu膜とSi膜との多層膜である場合、熱処理によりそれらが融けたときに表面張力により凝集が起きるのを防止するために、好適には、そのAu-Si合金膜またはAu膜とSi膜との多層膜上にさらにAu膜を形成する。

【0016】この発明の第2の発明において、Siを含む導電膜、例えば、Al-Si合金膜またはAl膜とSi膜との多層膜、あるいは、Au-Si合金膜またはAu膜とSi膜との多層膜は、それらの下地に対する濡れ性の改善などにより接触比抵抗のより一層の低減を図る

10

20

30

40

50

## 5

ために、好適には、n型窒化物系III-V族化合物半導体上にTi膜を形成した後、そのTi膜上に形成する。

【0017】この発明の第3の発明は、n型窒化物系III-V族化合物半導体に対するオーミック電極において、n型窒化物系III-V族化合物半導体上に順次Ti膜、Al膜、Pt膜およびAu膜を有することを特徴とするものである。

【0018】この発明の第4の発明は、n型窒化物系III-V族化合物半導体に対するオーミック電極の形成方法において、n型窒化物系III-V族化合物半導体上に順次Ti膜、Al膜、Pt膜およびAu膜を形成する工程と、700~1100℃の温度で熱処理を行う工程とを有することを特徴とするものである。

【0019】この発明の第4の発明において、熱処理温度を低く抑えつつ接触比抵抗の十分な低減を図るために、好適には、700~1000℃の温度で熱処理を行う。

【0020】この発明において、窒化物系III-V族化合物半導体は、Al、GaおよびInからなる群より選ばれた少なくとも一種のIII族元素とNとからなり、具体例を挙げると、GaN、AlGaN、GaInNなどである。

【0021】上述のように構成されたこの発明の第1の発明および第2の発明においては、n型窒化物系III-V族化合物半導体とSiを含む導電膜との界面の近傍におけるn型窒化物系III-V族化合物半導体中に、窒化物系III-V族化合物半導体に対してドナー不純物として働くSiが拡散されてこの部分のキャリア濃度が高くなることにより、もともとのn型窒化物系III-V族化合物半導体のキャリア濃度が低い場合でも、接触比抵抗が十分に低いオーミック電極を得ることができる。

【0022】上述のように構成されたこの発明の第3の発明および第4の発明においては、n型窒化物系III-V族化合物半導体上に順次Ti膜、Al膜、Pt膜およびAu膜を有するので、高融点のPt膜により、熱処理を高温で行っても、Al膜が融けて凝集してしまうのを防止することができる。このため、例えば900℃前後の高温で熱処理を行うことにより、Alの凝集を防止しつつ、接触比抵抗を十分に低くすることができる。

【0023】

【発明の実施の形態】以下、この発明の実施形態について図面を参照しながら説明する。

【0024】図1はこの発明の第1の実施形態によるオーミック電極の形成方法を示す。この第1の実施形態においては、まず、図1Aに示すように、図示省略した基板上に成長されたn型GaN層1の表面をフッ酸系のエッチング液（例えば、いわゆるSO-1など）を用いてウエットエッチングすることにより表面の酸化膜を除去

## 6

した後、このn型GaN層1上に真空蒸着法によりAl-Si合金膜またはAl/Si多層膜2を形成する。このAl-Si合金膜またはAl/Si多層膜2は、必要に応じて、金属マスクやレジストマスクなどを用いて所望の形状に形成してもよい。ここで、n型GaN層1にはドナー不純物として例えばSiがドーパされ、そのキャリア濃度は例えば $10^{14} \sim 10^{17} \text{ cm}^{-3}$ と低い。また、Al-Si合金膜またはAl/Si多層膜2は、好適には、共晶組成、すなわちAlが88~87重量%、Siが12~13重量%に選ばれる。それは、この共晶組成のAl-Si合金膜またはAl/Si多層膜2は、Alの融点660℃よりも低い577℃で融け始めるため（図4）、その後に行われる熱処理の温度を低減することができるからである。また、このAl-Si合金膜またはAl/Si多層膜2の厚さは例えば100~200nmである。このときのエネルギーバンド図を図2に示す。図2において、 $E_c$ は伝導帯の下端のエネルギー、 $E_v$ は価電子帯の上端のエネルギー、 $E_F$ はフェルミ準位を示す。

【0025】次に、例えば500~660℃の温度で熱処理を行う。この熱処理は、その際のn型GaN層1からのNの脱離を防止するために、好適には、例えば窒素ガス雰囲気中においてRTA (Rapid Thermal Annealing) により行われる。この熱処理により、図1Bに示すように、Al-Si合金膜またはAl/Si多層膜2中のSiがこのAl-Si合金膜またはAl/Si多層膜2が接触しているn型GaN層1中に高濃度に拡散する。

【0026】このようにして、図1Cに示すように、n型GaN層1とAl-Si合金膜またはAl/Si多層膜2との界面の近傍におけるn型GaN層1中に、Siが高濃度にドーパされた $n^+$ 型層3が形成される。この $n^+$ 型層3のキャリア濃度は、例えば $10^{18} \text{ cm}^{-3}$ またはそれ以上である。このときのエネルギーバンド図を図3に示す。図3に示すように、 $n^+$ 型層3の形成により、n型GaN層1とAl-Si合金膜またはAl/Si多層膜2との界面における障壁層の幅が狭くなってトンネル電流が多くなることにより、オーミック特性が強くなり、接触比抵抗の大幅な低減を図ることができる。

【0027】以上のように、この第1の実施形態によれば、n型GaN層1上に共晶組成のAl-Si合金膜またはAl/Si多層膜2を形成した後、500~660℃の温度で熱処理を行うことによりこのAl-Si合金膜またはAl/Si多層膜2中のSiをn型GaN層1中に拡散させてキャリア濃度が例えば $10^{18} \text{ cm}^{-3}$ またはそれ以上の $n^+$ 型層3を形成していることにより、もともとのn型GaN層1のキャリア濃度が例えば $10^{14} \sim 10^{17} \text{ cm}^{-3}$ と低くても、このn型GaN層1に対して低接触比抵抗で良好にオーミック接触したオーミック電極を得ることができる。

【0028】次に、この発明の第2の実施形態によるオ

## 7

ーミック電極の形成方法について説明する。この第2の実施形態においては、図5に示すように、Al-Si合金膜またはAl/Si多層膜2上にさらにAl膜4を真空蒸着法により形成する。このAl膜4は、上述の共晶組成を有するAl-Si合金膜またはAl/Si多層膜2より融点が高く、かつ、伝導性も高い。この後、500～660℃の温度で熱処理を行うことにより、Al-Si合金膜またはAl/Si多層膜2中のSiをn型GaN層1中に拡散させて $n^+$ 型層3を形成する。

【0029】この第2の実施形態によれば、第1の実施形態と同様な利点に加えて、Al-Si合金膜またはAl/Si多層膜2上により融点の高いAl膜4が形成されていることにより、熱処理時にAl-Si合金膜またはAl/Si多層膜2が融けて凝集するのを防止することができ、これによって電極表面の不均一および接触比抵抗の不均一が生じるのを防止することができるという利点を得ることができる。

【0030】次に、この発明の第3の実施形態によるオーミック電極の形成方法について説明する。この第3の実施形態においては、図6に示すように、真空蒸着法によりAl膜4上にさらにPt膜5およびAu膜6を順次形成する。ここで、Pt膜5の厚さは例えば約100nm、Au膜6の厚さは例えば約300nmである。なお、PtおよびAuの融点はそれぞれ1772℃および1064℃でAlの融点より十分に高い。この後、500～660℃の温度で熱処理を行うことにより、Al-Si合金膜またはAl/Si多層膜2中のSiをn型GaN層1中に拡散させて $n^+$ 型層3を形成する。

【0031】この第3の実施形態によれば、第2の実施形態と同様な利点に加えて、次のような利点を得ることができる。すなわち、オーミック電極の最上層がAu膜6であることにより、このオーミック電極に対するAu線によるワイヤボンディングを容易かつ良好に行うことができる。また、Au膜6とAl膜4との間にPt膜5が形成されていることにより、熱処理時にAu膜4のAuが下層のAl膜4、Al-Si合金膜またはAl/Si多層膜2、n型GaN層1などに拡散して不良が生じるのを防止することができる。

【0032】次に、この発明の第4の実施形態によるオーミック電極の形成方法について説明する。この第4の実施形態は、図7に示すように、Al膜4を形成しないことが、第3の実施形態と異なる。その他のことは、第3の実施形態と同様である。

【0033】この第4の実施形態によれば、第1の実施形態と同様な利点に加えて、Au膜6によりAu線によるワイヤボンディングを容易かつ良好に行うことができるとともに、Pt膜5により、熱処理時にAl-Si合金膜またはAl/Si多層膜2が融けて凝集するのを防止し、かつ、Au膜6からのAuの拡散による不良を防止することができるという利点を得ることができる。

## 8

【0034】次に、この発明の第5の実施形態によるオーミック電極の形成方法について説明する。この第5の実施形態においては、図8に示すように、n型GaN層1上に例えば厚さ10nm程度の薄いTi膜7を形成した後、このTi膜7上にAl-Si合金膜またはAl/Si多層膜2およびAl膜4を順次形成する。その他のことは、第2の実施形態と同様である。

【0035】この場合、Ti膜7により、その上のAl-Si合金膜またはAl/Si多層膜2およびAl膜4の下地に対する濡れ性が改善されるとともに、熱処理時にこのTi膜7のTiとn型GaN層1のNとが反応し、さらにAlとも反応するため、接触比抵抗が低減される。このTi膜7の有効性については、先に挙げた文献( Appl. Phys. Lett. 64(1994)1003 )において報告されている。この文献においてはAlの有効性も示されており、Ti/Al電極の方がTi/Au電極よりも低い接触比抵抗を示すことが報告されている。Alの仕事関数を考えたフェルミ準位の位置が、Auの場合よりGaNの伝導帯の底のエネルギー値に近いことから、この効果が現れるものと考えられる。

【0036】次に、この発明の第6の実施形態によるオーミック電極の形成方法について説明する。この第6の実施形態は、図9に示すように、n型GaN層1上に例えば厚さ10nm程度の薄いTi膜7を形成した後、このTi膜7上にAl-Si合金膜またはAl/Si多層膜2、Al膜4、Pt膜5およびAu膜6を順次形成することを除いて、第3の実施形態と同様である。

【0037】この第6の実施形態によれば、第3の実施形態と同様な利点に加えて、接触比抵抗のより一層の低減を図ることができるという利点を得ることができる。

【0038】次に、この発明の第7の実施形態によるオーミック電極の形成方法について説明する。この第7の実施形態は、図10に示すように、n型GaN層1上に例えば厚さ10nm程度の薄いTi膜7を形成した後、このTi膜7上にAl-Si合金膜またはAl/Si多層膜2、Pt膜5およびAu膜6を順次形成することを除いて、第4の実施形態と同様である。

【0039】この第7の実施形態によれば、第4の実施形態と同様な利点に加えて、接触比抵抗のより一層の低減を図ることができるという利点を得ることができる。

【0040】次に、この発明の第8の実施形態によるオーミック電極の形成方法について説明する。この第8の実施形態においては、図11に示すように、n型GaN層1上にAu-Si合金膜またはAu/Si多層膜8およびAu膜6を真空蒸着法により順次形成した後、300～1064℃の温度で熱処理を行うことによりAu-Si合金膜またはAu/Si多層膜8中のSiをn型GaN層1中に拡散させて $n^+$ 型層3を形成する。ここで、Au-Si合金膜またはAu/Si多層膜8は、好適には、共晶組成、すなわちAuが約97重量%、Si

が約3重量%に選ばれる。それは、この共晶組成のAu-Si合金膜またはAu/Si多層膜8は、Auの融点1064℃よりも低い363℃で融け始めるため(図12)、その後に行われる熱処理の温度を低減することができるからである。このAu-Si合金膜またはAu/Si多層膜8の厚さは例えば100~200nmである。また、Au膜6の厚さは例えば200~300nmである。

【0041】次に、この発明の第9の実施形態によるオーミック電極の形成方法について説明する。この第9の実施形態においては、図13に示すように、n型GaN層1上に例えば厚さ10nm程度の薄いTi膜7を形成した後、このTi膜7上にAu-Si合金膜またはAu/Si多層膜8およびAu膜6を真空蒸着法により順次形成することを除いて、第8の実施形態と同様である。

【0042】この第9の実施形態によれば、第8の実施形態と同様な利点に加えて、接触比抵抗のより一層の低減を図ることができるという利点を得ることができる。

【0043】次に、この発明の第10の実施形態によるオーミック電極の形成方法について説明する。この第10の実施形態においては、キャリア濃度が高いn<sup>+</sup>型GaN層に対するTi/Al/Pt/Au構造のオーミック電極の形成について説明する。

【0044】すでに述べたように、n型GaN層に対するオーミック電極の材料としては、Ti/Alが有効であり、キャリア濃度が10<sup>17</sup>cm<sup>-3</sup>程度のn型GaN層上にTi/Al電極を真空蒸着法により形成した後、900℃、30秒の熱処理を行うことにより、8×10<sup>-6</sup>Ωcm<sup>2</sup>と極めて低い接触比抵抗が得られる( Appl. Phys. Lett. 64(1994)1003) )。しかしながら、このように高温で熱処理を行うと、液化化したAlが部分的に凝集することにより、Alは部分的にしかn型GaN層上に残らず、電極表面の不均一や接触比抵抗の不均一を生じることすでに述べた。

【0045】このTi/Al電極の接触比抵抗を実際に測定した結果について説明する。この測定に用いた試料は、図14に示すように、c面サファイア基板11上にSiを高濃度にドーブしたn<sup>+</sup>型GaN層12を成長させ、その上に厚さ10nmのTi膜13および厚さ300nmのAl膜14を真空蒸着法により順次形成することにより形成した。n<sup>+</sup>型GaN層12の自由電子濃度(キャリア濃度)をホール(Hall)測定により測定したところ、n=10<sup>18</sup>cm<sup>-3</sup>であった。Ti膜13の形成に先立ち、アセトンでn<sup>+</sup>型GaN層12の表面の脱脂を行った後、フッ酸系のエッチング液、具体的にはいわゆるSO-1を用いてウェットエッチングすることによりn<sup>+</sup>型GaN層12の表面の酸化膜を除去した。

【0046】次に、接触比抵抗を測定するために、リソグラフィーおよびエッチングによりTi膜13およびAl膜14をパターンニングして、図15に示すような電極

パターンを形成する。各円形電極とその外側の電極との間隔は、4μm、8μm、16μm、・・・と、4μmの整数倍に変化させた。そして、各円形電極とその外側の電極との間の抵抗値を4端子法で測定することにより、接触比抵抗を測定した。この測定には、Solid State Electronics, 25(1982)91を参考にした。この接触比抵抗の測定結果を図16に示す。図16に示すように、Ti/Al電極形成直後は4×10<sup>-1</sup>Ωcm<sup>2</sup>と高い接触比抵抗を示していたが、熱処理をすることにより接触比抵抗が急激に低下することがわかった。ただし、熱処理時間は30秒、熱処理の雰囲気は窒素ガスで、ランプを用いたRTAを行った。また、800℃、30秒の熱処理後は、1.2×10<sup>-5</sup>Ωcm<sup>2</sup>と低い接触比抵抗値が得られたが、この温度では電極表面のAlが部分的に凝集してしまう。この接触比抵抗の値は、Alが残っていた部分の接触比抵抗値であり、Alが残っていない部分ではこのような低い接触比抵抗値は得られていない。このように、Ti/Al電極の場合、熱処理後に電極表面および接触比抵抗の不均一が起きることが確認された。

【0047】そこで、この第10の実施形態においては、図17に示すように、n<sup>+</sup>型GaN層12上にTi膜13およびAl膜14を形成し、さらにその上にPt膜15およびAu膜16を真空蒸着法により順次形成した後、熱処理を行う。ここで、最上層のAu膜16はAu線によるワイヤボンディングを容易とするためのものであり、Pt膜15は熱処理時にAl膜14が融けて凝集してしまうのを防止するほか、Au膜16のAuが下地層に拡散することによる不良を防止するためのものである。

【0048】このTi/Al/Pt/Au電極の接触比抵抗の値を測定した。この測定に用いた試料のTi膜13、Al膜14、Pt膜15およびAu膜16の厚さはそれぞれ10nm、100nm、100nmおよび300nmである。この試料のその他のことは、上述のTi/Al電極の接触比抵抗の測定に用いた試料と同様である。この接触比抵抗の測定結果を図18に示す。図18からわかるように、700℃以上の温度で熱処理を行うことにより接触比抵抗が急激に低下し、900℃、30秒の熱処理後には1.4×10<sup>-5</sup>Ωcm<sup>2</sup>と低い接触比抵抗値が得られた。このときの熱処理条件はTi/Al電極の場合と同様である。

【0049】900℃、30秒の熱処理後の電極表面には多少の凹凸は見られたが、Ti/Al電極の場合のように、接触比抵抗の不均一は観察されず、どの場所に針を立てて測定を行っても、同様な接触比抵抗値が得られた。したがって、Ti/Al/Pt/Au電極を用いることにより、熱処理後のAlの凝集に起因した電極表面および接触比抵抗の不均一性を改善することができることがわかる。

【0050】以上、この発明の実施形態について具体的に説明したが、この発明は、上述の実施形態に限定されるものではなく、この発明の技術的思想に基づく各種の変形が可能である。

【0051】例えば、上述の実施形態において挙げた数値はあくまでも例に過ぎず、必要に応じてこれと異なる数値を用いてもよい。また、上述の実施形態においては、真空蒸着法を用いて成膜を行っているが、例えばスパッタリング法により成膜を行ってもよい。

【0052】

【発明の効果】以上説明したように、この発明によれば、 $n$ 型窒化物系III-V族化合物半導体上のSiを含む導電膜を有し、その $n$ 型窒化物系III-V族化合物半導体とSiを含む導電膜との界面の近傍における $n$ 型窒化物系III-V族化合物半導体中にSiを含む導電膜からSiが拡散されてこの部分のキャリア濃度が高くなることにより、 $n$ 型窒化物系III-V族化合物半導体のキャリア濃度が低い場合でも、接触比抵抗が十分に低いオーミック電極を得ることができる。

【0053】また、この発明によれば、 $n$ 型窒化物系III-V族化合物半導体上に順次Ti膜、Al膜、Pt膜およびAu膜を有することにより、 $n$ 型窒化物系III-V族化合物半導体のキャリア濃度が十分に高い場合に、接触比抵抗が十分に低く、かつ電極表面および接触比抵抗の均一性が良好なオーミック電極を得ることができる。

【図面の簡単な説明】

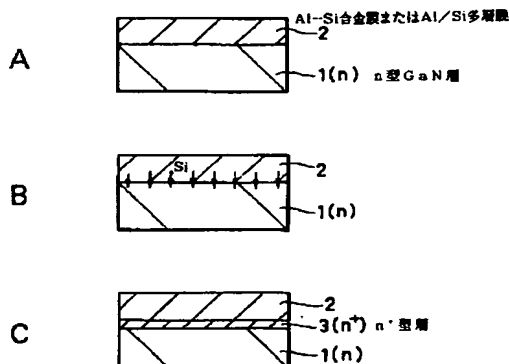
【図1】この発明の第1の実施形態によるオーミック電極の形成方法を説明するための断面図である。

【図2】この発明の第1の実施形態によるオーミック電極の形成方法を説明するためのエネルギーバンド図である。

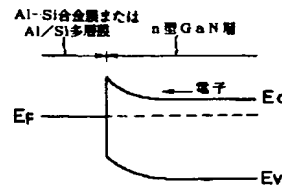
【図3】この発明の第1の実施形態によるオーミック電極の形成方法を説明するためのエネルギーバンド図である。

【図4】Al-Si系の相図である。

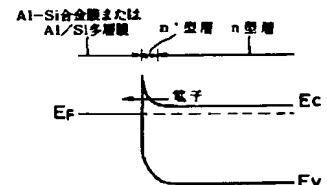
【図1】



【図2】



【図3】



【図5】この発明の第2の実施形態によるオーミック電極の形成方法を説明するための断面図である。

【図6】この発明の第3の実施形態によるオーミック電極の形成方法を説明するための断面図である。

【図7】この発明の第4の実施形態によるオーミック電極の形成方法を説明するための断面図である。

【図8】この発明の第5の実施形態によるオーミック電極の形成方法を説明するための断面図である。

【図9】この発明の第6の実施形態によるオーミック電極の形成方法を説明するための断面図である。

【図10】この発明の第7の実施形態によるオーミック電極の形成方法を説明するための断面図である。

【図11】この発明の第8の実施形態によるオーミック電極の形成方法を説明するための断面図である。

【図12】Au-Si系の相図である。

【図13】この発明の第9の実施形態によるオーミック電極の形成方法を説明するための断面図である。

【図14】Ti/Al電極の接触比抵抗の測定に用いられた試料を示す断面図である。

【図15】Ti/Al電極の接触比抵抗の測定に用いられた試料の電極パターンを示す平面図である。

【図16】Ti/Al電極の接触比抵抗およびシート抵抗の熱処理温度依存性を示す略線図である。

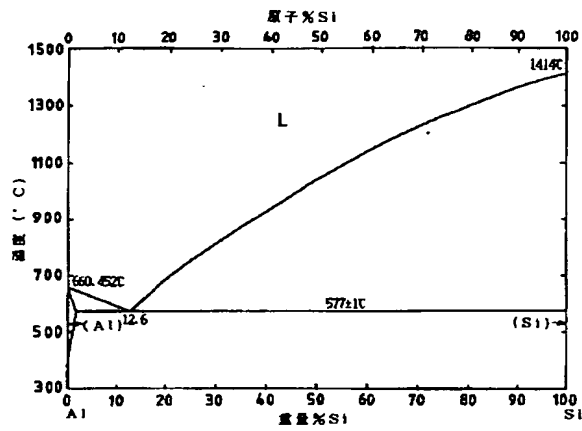
【図17】この発明の第10の実施形態によるオーミック電極の形成方法を説明するための断面図である。

【図18】この発明の第10の実施形態により形成されたオーミック電極の接触比抵抗およびシート抵抗の熱処理温度依存性を示す略線図である。

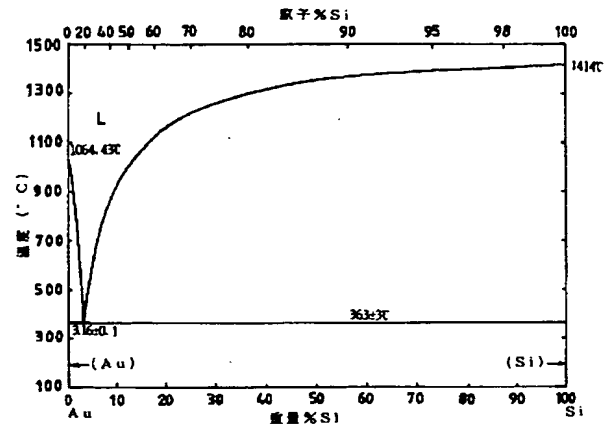
【符号の説明】

1・・・ $n$ 型Ga $N$ 層、2・・・Al-Si合金膜またはAl/Si多層膜、3・・・ $n^+$ 型層、4、14・・・Al膜、5、15・・・Pt膜、6、16・・・Au膜、7、13・・・Ti膜、8・・・Au-Si合金膜またはAu/Si多層膜、11・・・ $c$ 面サファイア基板、12・・・ $n^+$ 型Ga $N$ 層

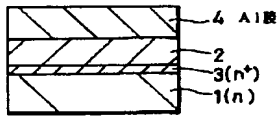
【図4】



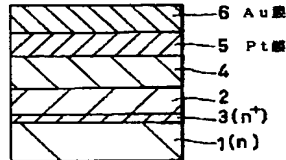
【図12】



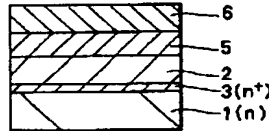
【図5】



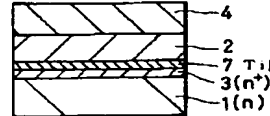
【図6】



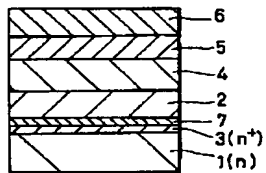
【図7】



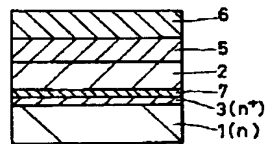
【図8】



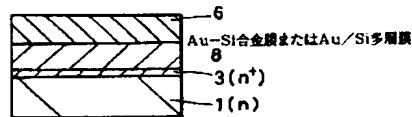
【図9】



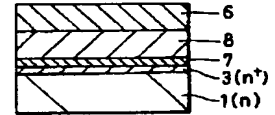
【図10】



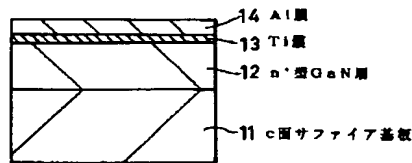
【図11】



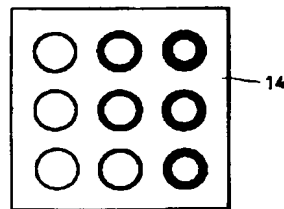
【図13】



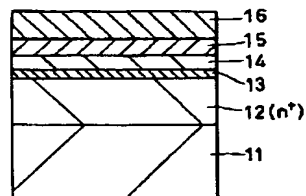
【図14】



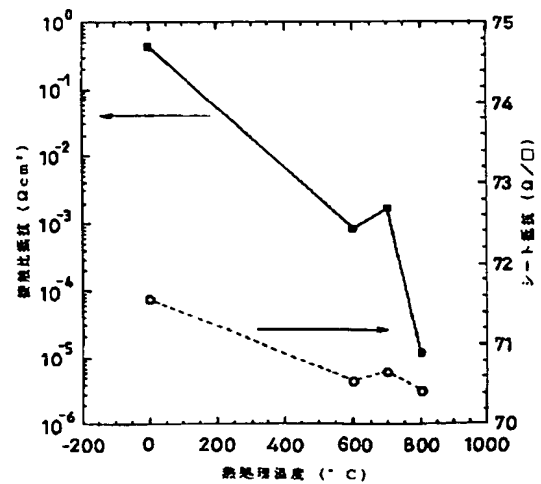
【図15】



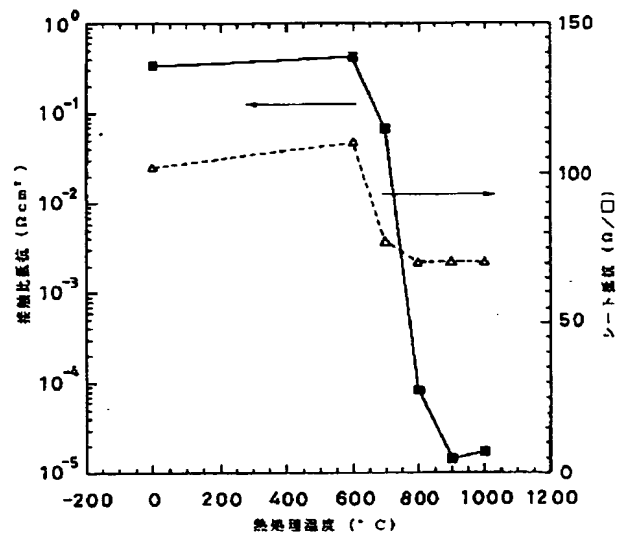
【図17】



【図16】



【図18】



【手続補正書】

【提出日】平成8年10月23日

【手続補正1】

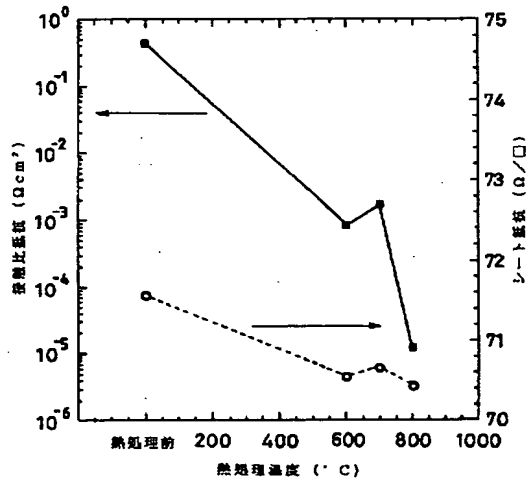
【補正対象書類名】図面

【補正対象項目名】図16

【補正方法】変更

【補正内容】

【図16】



【手続補正2】

【補正対象書類名】図面

【補正対象項目名】図18

【補正方法】変更

【補正内容】

【図18】

